

PAT-NO: JP409074204A
DOCUMENT-IDENTIFIER: JP 09074204 A
TITLE: INDICATION DRIVING DEVICE
PUBN-DATE: March 18, 1997

INVENTOR-INFORMATION:

NAME
MOROSAWA, KATSUHIKO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CASIO COMPUT CO LTD	N/A

APPL-NO: JP07251805
APPL-DATE: September 4, 1995

INT-CL (IPC): H01L029/786, G02F001/1345 , G02F001/136 ,
G09G003/36
, H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an indication driving device with which power consumption can be decreased by a method wherein the leakage current of a transistor is made small while the increase in circuit area is being suppressed.

SOLUTION: On a CMOS inverter circuit 21 composed of p-MOS transistor 22 and 23 and n-MOS transistor 24 and 25, the source or the drain of the p-MOS transistor 22 and 23 and the n-MOS transistors 24 and 25 are connected in series between a power source (Vdd) and a grounding (GND),

the gate electrodes 31 and 32, which are located on the transistors 22 to 25, are connected with each other and they are used common. By the adoption of the CMOS inverter circuit 21 of said dual gate structure to the final stage of the transistor of a liquid crystal driving circuit, for example, the channel length of the transistor is divided in short, the leakage current of the transistor is reduced by the dispersion of the field strength of the P-N junction part of each transistor, and the increase in circuit area can be suppressed.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-74204

(43)公開日 平成9年(1997)3月18日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/786			H 01 L 29/78	6 1 2 B
G 02 F 1/1345			G 02 F 1/1345	
1/136	5 0 0		1/136	5 0 0
G 09 G 3/36			G 09 G 3/36	
H 01 L 21/336			H 01 L 29/78	6 1 3 A

審査請求 未請求 請求項の数 6 FD (全 12 頁) 最終頁に続く

(21)出願番号 特願平7-251805

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(22)出願日 平成7年(1995)9月4日

(72)発明者 西澤 克彦

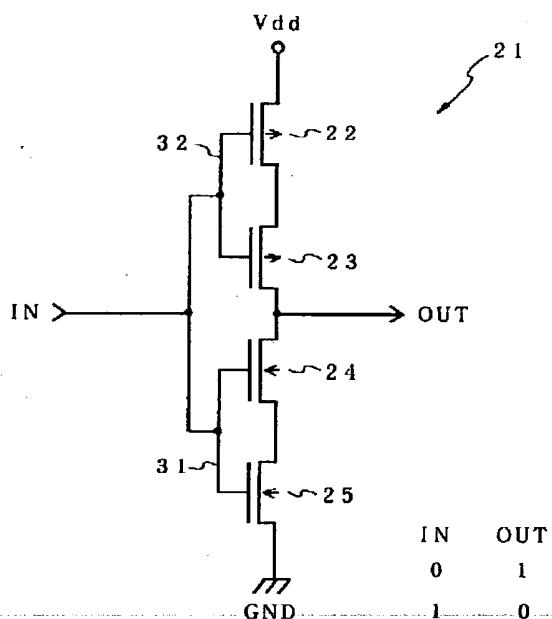
東京都八王子市石川町2951番地5 カシオ
計算機株式会社八王子研究所内

(54)【発明の名称】 表示駆動装置

(57)【要約】

【課題】 回路面積の増加を最小限に抑えつつ、トランジスタのリーク電流を小さくして、消費電力を低減することができる表示駆動装置を提供する。

【解決手段】 p MOSトランジスタ22、23とnMOSトランジスタ24、25とで構成されたCMOSインバータ回路21は、電源(Vdd)とグラウンド(GND)との間にp MOSトランジスタ22、23とnMOSトランジスタ24、25のソースもしくはドレインを直列に接続し、トランジスタ22～25までのゲート電極31、32同士を接続して共通化している。このようなデュアルゲート構造のCMOSインバータ回路21を、例えば、液晶駆動回路の最終段のトランジスタに採用することにより、トランジスタのチャネル長が短く分割され、個々のトランジスタのPN接合部分の電界強度が分散された結果、トランジスタのリーク電流が減少するとともに、回路面積の増大を抑えることができる。



1

2

【特許請求の範囲】

【請求項1】表示部に所定の駆動電圧を印加して表示制御を行う表示駆動回路を備えた表示駆動装置であって、前記表示駆動回路の少なくとも最終段に使用される各トランジスタをそれぞれ複数個のトランジスタに分割し、該複数個のトランジスタのソースもしくはドレインを直列に接続するとともに、

複数個に分割したトランジスタ同士のゲート電極を共通化して同時駆動することを特徴とする表示駆動装置。

【請求項2】前記表示部は液晶セル内にマトリクス状に画素が形成された液晶表示パネルであって、

前記表示駆動回路は前記各画素に表示信号を供給する信号側駆動回路を有し、該信号側駆動回路に含まれたトライステート回路を構成する各トランジスタを複数個のトランジスタに分割し、

該複数個のトランジスタのソースもしくはドレインを直列に接続するとともに、

複数個に分割したトランジスタ同士のゲート電極を共通化して同時駆動することを特徴とする請求項1記載の表示駆動装置。

【請求項3】前記表示部は液晶セル内にマトリクス状に画素が形成された液晶表示パネルであって、

前記表示駆動回路は前記各画素に走査信号を供給する走査側駆動回路を有し、該走査側駆動回路に含まれたバッファ回路を構成する各トランジスタを複数個のトランジスタに分割し、

該複数個のトランジスタのソースもしくはドレインを直列に接続するとともに、

複数個に分割したトランジスタ同士のゲート電極を共通化して同時駆動することを特徴とする請求項1記載の表示駆動装置。

【請求項4】前記トランジスタは、

nMOSトランジスタとpMOSトランジスタとを対にして構成した相補型のCMOSトランジスタであることを特徴とする請求項1から請求項3までの何れかに記載の表示駆動装置。

【請求項5】前記トランジスタの半導体領域は、

少なくとも2つの高濃度不純物領域と、この高濃度不純物領域の間に存在する複数のチャネル領域と、前記高濃度不純物領域と前記チャネル領域との間に低濃度不純物領域とを有し、

前記各チャネル領域に対応する位置に絶縁層を介してそれぞれ共通化されたゲート電極が形成されていることを特徴とする請求項1から請求項4までの何れかに記載の表示駆動装置。

【請求項6】前記各チャネル領域間は、

低濃度不純物領域で形成されていることを特徴とする請求項5記載の表示駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示駆動装置に関し、詳細には、複数のトランジスタを直列に接続して共通のゲート電極で駆動するマルチゲート構造のトランジスタを用いた表示駆動装置に関する。

【0002】

【従来の技術】表示駆動装置には、例えば、液晶を駆動して表示制御を行う液晶駆動装置などがある。この液晶駆動装置の場合は、表示形態によってセグメント方式とマトリクス方式とに分けることができる。マトリクス方式のものは、画像を表示する用途として液晶テレビ、パソコン、ワープロ等の表示装置に用いられている。そして、マトリクス方式には、単純マトリクス方式とアクティブマトリクス方式とがあるが、高画質である上、クロストーク現象のないアクティブマトリクス方式が注目されている。

【0003】アクティブマトリクス方式の液晶駆動装置は、1画素毎に設けた液晶駆動素子により、その画素の液晶部分に電圧を印加して画像を表示するものである。この液晶駆動素子としては、薄膜トランジスタ(TFT : Thin Film Transistor)が近年急速に普及しつつある。この薄膜トランジスタは、以前のシリコン単結晶基板上に作られたMOSトランジスタのもつ欠点、すなわち、表示画面の寸法に制限があること、透過型にできないこと等を克服する液晶駆動素子として開発されたものである。この薄膜トランジスタは、ガラス等の基板上に形成された半導体薄膜の所定領域に不純物を注入してトランジスタを形成するものである。特に、液晶表示装置用の半導体薄膜の素材としては、セレン化カドミウム、多結晶シリコン、アモルファスシリコン等が用いられる。

【0004】そして、従来、液晶表示装置などのドライバ回路をガラス基板上に薄膜トランジスタ(TFT)を使って一體構成する場合は、通常はCMOS(Complementary Metal Oxide Semiconductor)回路が用いられている。このCMOS回路は、電子によって電流を運ぶnMOSトランジスタと、正孔によって電流を運ぶpMOSトランジスタとを対にした相補型のトランジスタ回路である。

【0005】例えば、図7は、従来のCMOSインバータ回路1の構成を示す図である。図7に示すように、CMOSインバータ回路1は、電源(Vdd)とグラウンド(GND)との間にpMOS2とnMOS3の二種類のトランジスタのソースもしくはドレインが直列に接続されて構成されている。

【0006】そして、図8は、図7のCMOSインバータ回路1の断面構成図である。図8に示すように、ガラス基板4上に所定膜厚の下地絶縁膜5が形成され、その上のnMOSトランジスタ形成領域とpMOSトランジスタ形成領域とにそれぞれ選択的に半導体層6、7が形成されている。

【0007】この半導体層6、7上には、順次イオン注入用マスクを形成して、不純物や不純物濃度の異なる領域が形成されるようにn型、あるいは、p型の不純物イオンをドーピングする。具体的には、61、65がn型高濃度不純物注入領域、62、64がn型低濃度不純物注入領域、63が真性半導体領域であってチャネル領域となる。また、71、75は、p型高濃度不純物注入領域、72、74は、p型低濃度不純物注入領域、73は、真性半導体領域であってチャネル領域となる。このように、図8では、半導体層6、7内に段階的に濃度の異なる不純物領域を形成する、いわゆる、低濃度イオン注入ドレイン（LDD）構造が採用されている。もっとも、図8の構造では、レジストパターンの形成が容易であることから、ソース領域もLDD構造を採っている。このLDD構造の採用は、薄膜トランジスタのPN接合部分、すなわち、電極が接続された高濃度不純物領域とチャネル領域との間に低濃度不純物領域が形成されていいるため、PN接合部分の電界強度が小さくなつて、オフ電流（リーク電流）を減少させることができる。

【0008】さらに、上記した下地絶縁膜5と半導体層6、7の表面は、それらを覆うようにゲート絶縁膜8が全面に形成され、そのゲート絶縁膜8上の所定位置にゲート電極9がそれぞれ選択的に形成され、そのゲート電極9上には、ゲート電極9を覆つて表面を平坦化するよう層間絶縁膜10が形成されている。

【0009】次いで、ソース・ドレイン電極を形成するため、前記層間絶縁膜10と前記ゲート絶縁膜8とを貫いて半導体層6、7の所定位置に到達するコンタクトホールが異方性エッチングによって形成される。そして、各コンタクトホール内には、それぞれアルミニウム（A1）等からなるソース・ドレイン電極11が埋め込まれて配線されることにより、図7に示すCMOSインバータ回路1が形成される。

【0010】上記図7及び図8に示すCMOSインバータ回路1は、IN（入力）が「0」のときに、nMOSトランジスタ3がオフし、pMOSトランジスタ2がオンして電源Vddから「1」がOUT（出力）される。また、入力が「1」のときは、pMOSトランジスタ2がオフし、nMOSトランジスタ3がオンすることでグラウンドから「0」が出力される。このように、CMOSインバータ回路は、入力される論理とは反対の論理を出力することができる。

【0011】また、従来のCMOSトランジスタは、上記したインバータ回路以外にも、CMOSトランジスタを組み合わせて用いることにより、表示駆動装置を構成するのに必要なラッチ回路、アンド回路、 NAND回路、あるいは、トライステート回路等を構成することができた。

【0012】

【発明が解決しようとする課題】しかしながら、このよ

うな従来の表示駆動装置にあっては、TFTで構成されたCMOSトランジスタの動作周波数を「f」とし、負荷容量を「C」とし、電源電圧を「Vdd」とし、リーク電流を「IL」とした場合、次式によってCMOSトランジスタの消費電力を表わすことができる。

【0013】 W （消費電力） = $f \cdot C \cdot Vdd$ （動的な消費電力） + $I_L \cdot Vdd$ （静的な消費電力）

従来のTFTで構成されたCMOSトランジスタは、図8に示すように、半導体層6、7にLDD構造を採用することによって、リーク電流の減少を図っているが、依然としてリーク電流「IL」の値が小さくならず、多数のCMOSトランジスタで構成された表示駆動装置全体の消費電力のうち、リーク電流（静的な消費電力）の占める割合が大きくならざるを得ないという問題があつた。

【0014】また、液晶表示装置等に使用される薄膜トランジスタに要求される性能は、液晶を駆動するに十分なオン電流が得られること、および、オフ状態における保持特性を良くするためにオフ電流（リーク電流）が極力少ないことである。ところが、十分なオン電流を得るために、チャネル長を短くして、チャネル幅を大きくすると、PN接合部分の電界強度が大きくなるため、オフ電流が増加するという二律背反の現象が生じる。

【0015】そこで、従来より、半導体薄膜に直列接続した複数の薄膜トランジスタを形成してチャネル長を分割し、各チャネル毎にゲート電極を設けたマルチゲート構造の薄膜トランジスタが用いられている。

【0016】しかしながら、このマルチゲート構造の薄膜トランジスタは、オフ電流を少なくしようとすればそれだけゲート数を増加させねばならず、ゲート数の増加にともなつてトランジスタの実装面積も増加するという問題がある。

【0017】特に、液晶駆動回路を構成する多数の薄膜トランジスタからなるCMOS全てをマルチゲート構造とすると、回路面積の増加が一層大きくなるという問題がある。

【0018】そこで、本発明は、上記課題に鑑みてなされたものであつて、回路面積の増加を最小限に抑えつつ、トランジスタの静的な消費電力であるリーク電流を小さくして全体の消費電力を低減することが可能な表示駆動装置を提供することを目的としている。

【0019】

【課題を解決するための手段】請求項1記載の表示駆動装置は、表示部に所定の駆動電圧を印加して表示制御を行う表示駆動回路を備えた表示駆動装置であつて、前記表示駆動回路の少なくとも最終段に使用される各トランジスタをそれぞれ複数個のトランジスタに分割し、該複数個のトランジスタのソースもしくはドレインを直列に接続するとともに、複数個に分割したトランジスタ同士のゲート電極を共通化して同時駆動することを特徴とす

る。

【0020】ここで、上記したように、複数個のトランジスタのソースもしくはドレインを直列に接続し、その複数個のトランジスタのゲート電極を共通化して同時駆動する構造をマルチゲート構造という。本発明では、このマルチゲート構造のトランジスタを表示駆動回路の少なくとも最終段に用いたものである。

【0021】従って、マルチゲート構造のトランジスタを採用した場合は、チャネル長を短く分割することにより、個々のトランジスタにおけるPN接合部分の電界強度が分散されることとなり、その結果オフ電流を減少させることができる。特に、表示駆動回路の最終段では、駆動能力を高くて十分なオン電流を得るために大電流となることから、少なくともこの部分のトランジスタをマルチゲート構造とすることにより、効果的にオフ電流を減少させることができる。

【0022】また、請求項1記載の表示駆動装置は、例えば、請求項2に記載されているように、前記表示部は液晶セル内にマトリクス状に画素が形成された液晶表示パネルであって、前記表示駆動回路は前記各画素に表示信号を供給する信号側駆動回路を有し、該信号側駆動回路に含まれたトライステート回路を構成する各トランジスタを複数個のトランジスタに分割し、該複数個のトランジスタのソースもしくはドレインを直列に接続するとともに、複数個に分割したトランジスタ同士のゲート電極を共通化して同時駆動するようにしてもよい。

【0023】従って、表示駆動回路である信号側駆動回路の最終段に位置するトライステート回路のトランジスタのみをマルチゲート構造としたため、効果的にオフ電流を減少させることができるとともに、マルチゲート構造をトライステート回路に限定して用いているため、回路面積の増加を最小限に抑えることができる。

【0024】また、請求項1記載の表示駆動装置は、例えば、請求項3に記載されるように、前記表示部は液晶セル内にマトリクス状に画素が形成された液晶表示パネルであって、前記表示駆動回路は前記各画素に走査信号を供給する走査側駆動回路を有し、該走査側駆動回路に含まれたバッファ回路を構成する各トランジスタを複数個のトランジスタに分割し、該複数個のトランジスタのソースもしくはドレインを直列に接続するとともに、複数個に分割したトランジスタ同士のゲート電極を共通化して同時駆動するようにしてもよい。

【0025】従って、表示駆動回路である走査側駆動回路の最終段に位置するバッファ回路のトランジスタのみをマルチゲート構造としたため、効果的にオフ電流を減少させることができるとともに、マルチゲート構造をバッファ回路に限定して用いているため、回路面積の増加を最小限に抑えることができる。

【0026】また、請求項1から請求項3までの何れかの表示駆動装置のトランジスタは、例えば、請求項4に

記載されるように、nMOSトランジスタとpMOSトランジスタとを対にして構成した相補型のCMOSトランジスタであってもよい。

【0027】従って、CMOSトランジスタは、nMOSトランジスタとpMOSトランジスタとを対にして構成されているため、入力されるゲート電圧に対してnMOSトランジスタかpMOSトランジスタの一方がオンすると、他方が必ずオフする構造であるため、消費電流が少ない上、適正な出力レベルが得られる。

10 【0028】また、請求項1から請求項4までの何れかの表示駆動装置のトランジスタの半導体領域は、例えば、請求項4に記載されるように、少なくとも2つの高濃度不純物領域と、この高濃度不純物領域の間に存在する複数のチャネル領域と、前記高濃度不純物領域と前記チャネル領域との間に低濃度不純物領域とを有し、前記各チャネル領域に対応する位置に絶縁層を介してそれぞれ共通化されたゲート電極が形成されるようにしてもよい。

20 【0029】従って、上記表示駆動装置のトランジスタは、マルチゲート構造の採用に加えて、低濃度イオン注入ドレイン(LDD)構造を採用しているため、トランジスタのPN接合部分、すなわち、ソース・ドレイン電極が接続された高濃度不純物領域と複数のチャネル領域との間に低濃度不純物領域を有し、PN接合部分の電界強度を小さくすることにより、トランジスタの面積増大を伴うことなく、オフ電流を一層減少させることが可能であり、消費電力を低減することができる。なお、トランジスタのマルチゲート構造は、ゲート電極が2個の場合をデュアルゲート、3個の場合をトリアルゲート、4個の場合をクワッドゲートといい、ゲート電極数は5個以上であってもよい。そして、オフ電流の減少効果は、上記したデュアルゲートよりもゲート数の多いトリアルゲートの方が顕著に減少している。しかし、ゲート数を増加させると回路面積の増大を招くことになるが、LDD構造と組み合わせることによって、トランジスタの面積増大を伴うことなくオフ電流を減少させることができる。

30 【0030】また、請求項5記載の表示駆動装置の各チャネル領域間は、例えば、請求項6に記載されているように、低濃度不純物領域で形成するようにしてもよい。

【0031】従って、マルチゲート構造のトランジスタの各チャネル領域間を低濃度不純物領域のみで形成しても、LDD構造によるオフ電流の減少効果が得られ、消費電力が低減できる。

【0032】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0033】図1～図6は、本発明の表示駆動装置に係る実施の形態例を示す図であり、ここでは、ガラス基板上に液晶駆動回路と画素部の各画素毎に薄膜トランジ

タ(TFT)からなるスイッチング素子を一体形成して、駆動回路一体型液晶表示装置として実施したものである。そして、本実施の形態では、上記した液晶駆動回路の最終段のトランジスタをデュアルゲート構造からなるCMOSトランジスタで構成したものである。

【0034】まず、構成を説明する。

【0035】図1は、液晶駆動回路の最終段を構成するデュアルゲート構造のCMOSトランジスタからなるインバータ回路21を示す図である。図1のインバータ回路21は、図7に示す従来のCMOSトランジスタからなるインバータ回路1のnMOSトランジスタ2とpMOSトランジスタ3をそれぞれ2個に分割し、ゲート電極を共通化したものである。すなわち、図1のインバータ回路21は、pMOSトランジスタ22、23とnMOSトランジスタ24、25とで構成されており、電源(Vdd)とグラウンド(GND)との間にpMOSトランジスタ22、23とnMOSトランジスタ24、25のソースもしくはドレインを直列に接続して構成し、これらのトランジスタ22～25までのゲート電極31、32同士を接続して共通化している。そして、上記した共通のゲート電極をインバータ回路21の入力端子(IN)とし、上記したpMOSトランジスタ23とnMOSトランジスタ24との接続部を出力端子(OUT)としている。

【0036】本実施の形態のように、デュアルゲート構造のトランジスタを採用した場合は、トランジスタのチャネル長が短く分割されたことによって、個々のトランジスタにおけるPN接合部分の電界強度が分散された結果、トランジスタのオフ電流を減少させることができ

る。

【0037】次に、図2は、図1のCMOSインバータ回路21の断面構成図である。図2に示すように、ガラス基板26の表面の全面にわたって所定膜厚の下地絶縁膜27が形成されている。この下地絶縁膜27の表面には、異なる複数の領域で構成されたnMOSトランジスタ形成領域とpMOSトランジスタ形成領域からなる薄膜半導体層28、29が選択的に形成されている。

【0038】この薄膜半導体層28、29は、図示しない複数のイオン注入用のマスクが形成されて、部分的に不純物、およびその不純物濃度の異なる複数の領域を形成するべくn型、あるいは、p型の半導体を構成する不純物イオンがドーピングされる。

【0039】具体的には、281、287がn型高濃度不純物注入領域であって、282、284、286は、n型低濃度不純物注入領域、283、285は、不純物が注入されない真性半導体領域であってチャネル領域となる。

【0040】また、291、297は、p型高濃度不純物注入領域、292、294、296は、p型低濃度不純物注入領域、293、295は、不純物が注入されな

い真性半導体領域であってチャネル領域となる。

【0041】このように、図2に示すCMOSインバータ回路21では、上記したデュアルゲート構造に加えて、薄膜半導体層28、29内に段階的に濃度の異なる不純物領域を形成した、いわゆる、低濃度イオン注入ドレイン(LDD)構造を採用している。もっとも、図2に示すLDD構造は、ドレイン領域だけでなく、ソース領域もLDD構造を採っている。このLDD構造の採用は、薄膜トランジスタのPN接合部分、すなわち、電極が接続された高濃度不純物領域とチャネル領域との間に低濃度不純物領域が形成されているため、PN接合部分の電界強度が小さくなつて、オフ電流(リーク電流)を減少させることが可能となる。

【0042】このように、本実施の形態では、デュアルゲート構造とLDD構造とを組み合わせることにより、回路面積の増加を最小限に抑えつつ、液晶駆動回路を構成する薄膜トランジスタの静的な消費電力(オフ電流)を減少させて、液晶駆動回路全体の消費電力を低減できるようにしたものである。

【0043】再び、図2に戻って、薄膜半導体層28、29の表面は、さらにゲート絶縁膜30で全面が覆われ、このゲート絶縁膜30の表面の各チャネル領域283、285、293、295に相当する位置にゲート電極31、32が形成されている。そして、ゲート絶縁膜30およびゲート電極31、32は、層間絶縁膜33で覆われている。

【0044】次いで、上記した薄膜半導体層28、29の両端の高濃度不純物領域281、287、291、297の上部のゲート絶縁膜30および層間絶縁膜33には、ソース・ドレイン電極を形成するため、コンタクトホールが異方性エッチングによって形成され、そのコンタクトホール内には、それぞれアルミニウム(A1)等からなるソース・ドレイン電極34が埋め込まれて、図1に示すように配線されることにより、CMOSインバータ回路21が形成される。

【0045】上記した図1及び図2のCMOSインバータ回路21は、IN(入力)が「0」のときに、nMOS24、25がオフし、pMOS22、23がオンして電源Vddから「1」がOUT(出力)される。また、入力が「1」のときは、pMOS22、23がオフし、nMOS24、25がオンすることでグラウンドから「0」が出力される。このように、CMOSインバータ回路21は、入力される論理とは反対の論理が出力される。

【0046】上記したように、本実施の形態では、マルチゲート構造にLDD構造を加えたCMOSインバータ回路21を使って、液晶駆動回路の最終段の薄膜トランジスタを構成するようにしている。これは、液晶駆動回路の最終段では、駆動能力を高くして十分なオン電流を得るために大電流となることから、少なくともこの部分

のトランジスタをマルチゲート構造とすることによって、効果的にオフ電流を減少させることができるためである。

【0047】本実施の形態では、液晶駆動回路の最終段の薄膜トランジスタを図1および図2に示すように、デュアルゲート構造としたが、これに限定されず、複数のゲート電極を持つマルチゲート構造であればよい。例えば、ゲート電極が3個の場合は、トリプルゲート構造、4個の場合は、クワッドゲート構造と称される。このゲート電極数と薄膜トランジスタのオフ電流の減少効果は、ゲート電極数が増えるにしたがって顕著に減少するが、やみくもにゲート数を増加させるだけでは、回路面積の増大を招くことになる。

【0048】このため、本実施の形態では、上記したマルチゲート構造を液晶駆動回路の最終段の薄膜トランジスタに限定するとともに、後述するLDL構造を組み合わせることによって、トランジスタの面積増大を最小限に抑えつつ、オフ電流の減少効果を得るようにしている。

【0049】次に、図3は、本実施の形態に係る駆動回路一体型TFT-LCD41の概略構成図である。この駆動回路一体型TFT-LCD41は、ガラス基板45上に液晶表示パネル(TFT-LCD:Thin Film Transistor-Liquid Crystal Display)42と、液晶表示パネル42にマトリクス状に配置された各画素のスイッチング素子を駆動するゲートドライバ43と、ドレインドライバ44とをCOG(Chip On Glass)技術により一体形成している。

【0050】そして、図4は、図3の液晶駆動回路と液晶表示パネルの具体例の一部を示す図である。

【0051】図4に示す液晶表示パネル42では、各画素毎に接続されたTFTと、そのTFTが画素電極を介してコモン電極との間で液晶容量LCを形成している。そして、ゲートドライバ43からは、各ゲートラインG1、G2、G3、……に走査信号を順次印加して各走査ラインに接続されたTFTのゲートを駆動して、選択状態と非選択状態を作り出す。ここで、ゲートドライバ43によって選択状態とした走査ライン上のTFTは、ドレインドライバ44から各ドレインラインD1、D2、……に対して表示信号が印加されると、選択状態にある画素電極に駆動電圧が印加されて、コモン電極との間の電位差によって液晶が駆動され、表示制御が行われる。

【0052】本実施の形態では、液晶駆動回路であるドレインドライバ44とゲートドライバ43の構成に特徴があるため、ドレインドライバとゲートドライバに分けてそれぞれの構成と動作を説明する。

【0053】(ドレインドライバ) 図4に示すように、ドレインドライバ44は、データ用シフトレジスタ52と、ラッチ回路LA101、LA102と、トライステー

ート回路TS101、TS102とで構成されている。【0054】データ用シフトレジスタ52は、外部回路51から水平同期信号Hおよび水平用クロック信号CPHが入力され、水平同期信号Hを水平用クロック信号CPHによって順次シフトしながら、各出力端子DSR1、DSR2からそれぞれラッチ回路LA101、LA102の制御端子Lに対して、映像信号をラッチするためのラッチ信号を出力する。

【0055】ラッチ回路LA101、LA102は、各ドレインラインD1、D2、……に対応した数だけ設けられ、その入力端子Iは映像信号ラインL100に接続されていて、この映像信号ラインL100には外部回路51から2値映像信号DATAが印加されるとともに、上記したデータ用シフトレジスタ52から制御端子Lにラッチ信号が入力される。映像信号ラインL100から入力されるシリアルの2値映像信号DATAは、各ラッチ回路LA101、LA102に入力されるラッチ信号のタイミングでデータをラッチして、そのラッチデータが出力端子Oから次段のトライステート回路に出力される。

【0056】トライステート回路TS101、TS102は、ドレインドライバ44の最終段に各ドレインラインD1、D2、……に対応した数だけ配置され、上記したラッチ回路のラッチデータに基づいて、液晶を交流駆動するための液晶駆動電圧を生成する回路である。トライステート回路TS101、TS102の制御端子は、それぞれラッチ回路LA101、LA102の出力端子Oに接続されるとともに、各トライステート回路の正電源端子および負電源端子には、出力用正電源V0Hおよび出力用負電源V0Lが接続されている。そして、各トライステート回路TS101、TS102、……の出力端子には、それぞれドレインラインD1、D2、……が接続され、各TFTを介して画素電極に液晶駆動電圧が供給される。

【0057】図5は、図4のラッチ回路LA101とトライステート回路TS101の具体的構成例を示す図である。図5に示すラッチ回路LA101は、トランスマニアゲートTG1、TG2と、インバータIN1、IN2、IN3とを備えている。

【0058】そして、上記したデータ用シフトレジスタ52の出力端子DSR1は、トランスマニアゲートTG1のP側制御端子およびトランスマニアゲートTG2のN側制御端子に接続されるとともに、インバータIN1を介してトランスマニアゲートTG1のN側制御端子およびトランスマニアゲートTG2のP側制御端子に接続されている。そして、トランスマニアゲートTG1の第1の非制御端子は映像信号ラインL100に接続され、このトランスマニアゲートTG1の第2の非制御端子はインバータIN2、IN3を直列に介してトランスマニアゲートTG2の第1の非制御端子に接続され、このト

11

ンスファーゲートTG2の第2の非制御端子はトランスマニアゲートTG1の第2の非制御端子に接続されている。

【0059】次に、図5に示すトライステート回路TS101は、インバータIN4、IN5、IN6と、トランジスタTR1～TR10とを備えている。ここでは、上記トランジスタは、TR1、TR2、TR4、TR7、TR8がpMOSトランジスタであって、TR3、TR5、TR6、TR9、TR10がnMOSトランジスタで構成されている。

【0060】そこで、上記したラッチ回路LA101のインバータIN2とIN3の接続部からは、トライステート回路TS101のインバータIN4、IN5、IN6を直列に介してpMOSトランジスタTR1およびnMOSトランジスタTR5のそれぞれのゲートに接続される。

【0061】また、前記インバータIN5とIN6の接続部は、pMOSトランジスタTR2およびnMOSトランジスタTR3のそれぞれのゲートに接続される。

【0062】さらに、pMOSトランジスタTR4およびnMOSトランジスタTR6のそれぞれのゲートは、フレーム信号 ϕ_f が入力されるフレーム信号ライン5aに接続される。

【0063】そして、前記pMOSトランジスタTR1のソースは、正電源VCCに接続され、ドレインがpMOSトランジスタTR2のソースに接続される。さらに、このpMOSトランジスタTR2のドレインは、nMOSトランジスタTR3のドレインに接続され、このnMOSトランジスタTR3のソースは、グラウンドに接地される。

【0064】また、前記pMOSトランジスタTR4は、ソースが正電源VCCに接続され、ドレインがnMOSトランジスタTR5のドレインに接続される。このnMOSトランジスタTR5のソースは、さらに、nMOSトランジスタTR6のドレインに接続され、このnMOSトランジスタTR6のソースは、グラウンドに接地される。

【0065】そして、前記pMOSトランジスタTR1とTR4のドレイン同士が接続されるとともに、デュアルゲート構造のCMOSインバータ回路56のpMOSトランジスタTR7およびTR8の共通化されたゲート電極に接続される。

【0066】また、前記pMOSトランジスタTR2のドレインは、nMOSトランジスタTR5のソースが接続されるとともに、デュアルゲート構造のCMOSインバータ回路56のnMOSトランジスタTR9およびTR10の共通化されたゲート電極に接続される。

【0067】そして、前記CMOSインバータ回路56のpMOSトランジスタTR7のソースは、出力用正電源VOHに接続され、pMOSトランジスタTR8のドレ

12

インがデータラインD1に接続されるとともに、nMOSトランジスタTR9のドレインに接続され、nMOSトランジスタTR10のソースは、出力用負電源VOLに接続される。

【0068】本実施の形態に係るドレインドライバ44の特徴的な構成は、液晶駆動回路であるドレインドライバ44の最終段に配置されたトライステート回路TS101に、トランジスタTR7～TR10を使って、デュアルゲート構造（いわゆる、マルチゲート構造）からなるCMOSインバータ回路56を形成したことにある。これにより、通常のCMOSインバータ回路を使った場合よりもチャネル長が短く分割され、個々のトランジスタにおけるPN接合部分の電界強度が分散されて、トランジスタのオフ電流を減少させることができる。特に、本実施の形態では、駆動能力を十分高めて、十分なオン電流を得るために大電流を流すドレインドライバ44の最終段にのみデュアルゲート構造を採用したため、回路面積の増大を最小限に止めつつ、効果的にオフ電流を減少させるようにしたものである。

【0069】次に、動作を説明する。

【0070】図4に示すデータ用シフトレジスタ52は、外部回路51から水平同期信号 ϕ_H および水平用クロック信号CPHが入力されて信号DSR1を出し、ラッチ回路LA101の制御端子Lに供給する。また、ラッチ回路LA101の入力端子Iには、映像信号DATAが供給される。

【0071】図5では、データ用シフトレジスタ52からの出力信号DSR1がロー（Low）レベルになった時、インバータIN1の出力はハイ（High）レベルになるため、トランスマニアゲートTG1はオンになり、映像信号DATAが取り込まれ、データ用シフトレジスタ52の出力信号DSR1がハイレベルになった時、インバータIN1の出力はロー（Low）レベルになるため、トランスマニアゲートTG1はオフになるとともに、トランスマニアゲートTG2オンとなり、映像信号DATAが記憶される。

【0072】そこで、前記映像信号DATAがロー（Low）レベルの場合について説明する。

【0073】ロー（Low）レベルの映像信号DATAは、インバータIN2、IN4、IN5を介してハイ（High）レベルとなり、pMOSトランジスタTR2およびnMOSトランジスタTR3のそれぞれのゲートに供給されるため、pMOSトランジスタTR2がオフ、nMOSトランジスタTR3がオンとなる。また、ロー（Low）レベルの映像信号DATAは、インバータIN2、IN4、IN5、IN6を介してロー（Low）レベルとなり、pMOSトランジスタTR1およびnMOSトランジスタTR5のそれぞれのゲートに供給されるため、pMOSトランジスタTR1がオフ、nMOSトランジスタTR5がオンとなる。nMOSトランジスタTR3がオンすることにより、nMOS

13

トランジスタTR9およびTR10のゲートが接地されてオフとなる。また、pMOSトランジスタTR1がオンすることにより、pMOSトランジスタTR7およびTR8は、ゲートに正電源VCCが供給されてオフとなる。したがって、データラインD1には、出力用正電源VOHおよび出力用負電源VOLは供給されない。

【0074】次に、前記映像信号DATAがハイレベルで、フレーム信号 ϕf がハイレベルの場合について説明する。

【0075】ハイレベルの映像信号DATAは、インバータIN2、IN4、IN5を介してローレベルとなり、pMOSトランジスタTR2およびnMOSトランジスタTR3のそれぞれのゲートに供給されるため、pMOSトランジスタTR2がオン、nMOSトランジスタTR3がオフとなる。また、ハイレベルの映像信号DATAは、インバータIN2、IN4、IN5、IN6を介してハイレベルとなり、pMOSトランジスタTR1およびnMOSトランジスタTR5のそれぞれのゲートに供給されるため、pMOSトランジスタTR1がオフ、nMOSトランジスタTR5がオンとなる。また、ハイレベルのフレーム信号 ϕf がpMOSトランジスタTR4およびnMOSトランジスタTR6のそれぞれのゲートに供給されるため、pMOSトランジスタTR4がオフ、nMOSトランジスタTR6がオンとなる。nMOSトランジスタTR5およびnMOSトランジスタTR6がオンすることにより、pMOSトランジスタTR7およびTR8はゲートが接地されてオンになるとともに、nMOSトランジスタTR9およびTR10はゲートが接地されてオフとなる。したがって、pMOSトランジスタTR7およびTR8がオンすることにより、データラインD1には、出力用正電源VOHが供給される。

【0076】次に、前記映像信号DATAがハイレベルでフレーム信号 ϕf がローレベルの場合について説明する。

【0077】ハイレベルの映像信号DATAは、インバータIN2、IN4、IN5を介してローレベルとなり、pMOSトランジスタTR2およびnMOSトランジスタTR3のそれぞれのゲートに供給されるため、pMOSトランジスタTR2がオン、nMOSトランジスタTR3がオフとなる。また、ハイレベルの映像信号DATAは、インバータIN2、IN4、IN5、IN6を介してハイレベルとなり、pMOSトランジスタTR1およびnMOSトランジスタTR5のそれぞれのゲートに供給されるため、pMOSトランジスタTR1がオフ、nMOSトランジスタTR5がオンとなる。また、ローレベルのフレーム信号 ϕf がpMOSトランジスタTR4およびnMOSトランジスタTR6のそれぞれのゲートに供給されるため、pMOSトランジスタTR4がオン、nMOSトランジスタTR6がオフとなる。p

14

MOSトランジスタTR4およびnMOSトランジスタTR5がオンすることにより、pMOSトランジスタTR7およびTR8は、ゲートに正電源VCCが供給されてオフとなるとともに、nMOSトランジスタTR9およびTR10はゲートに正電源VCCが供給されてオンとなる。したがって、nMOSトランジスタTR9およびTR10がオンすることにより、データラインD1には出力用負電源VOLが供給される。

【0078】このように、上記した実施の形態では、ドレインドライバ44の最終段に配置されたトライステート回路TS101に、トランジスタTR7～TR10を使ったデュアルゲート構造からなるCMOSインバタ回路56を設けたため、回路面積の増大を最小限に止めつつ、個々のトランジスタにおけるPN接合部分の電界強度が分散するので、効果的にオフ電流を減少させることができ、ドレインドライバ44の消費電力を低減することができる。

【0079】(ゲートドライバ) 図4に示すように、ゲートドライバ43は、走査用シフトレジスタ53と、バッファ回路54とで構成されている。

【0080】走査用シフトレジスタ53は、外部回路51から垂直同期信号 ϕV および垂直用クロック信号CPVが入力される。この垂直同期信号 ϕV および垂直用クロック信号CPVにより、走査用シフトレジスタ53は、複数のゲートラインに加える水平走査信号を生成し、各バッファ回路54で信号を增幅しながらゲートラインG1、G2、G3、……に順次印加して、液晶表示パネル42の各画素の薄膜トランジスタ(TFT)をオン/オフ駆動して水平走査を行っている。

【0081】図6は、図4の走査用シフトレジスタ53とバッファ回路54の具体的構成例を示す図である。

【0082】図6に示すように、走査用シフトレジスタ53は、ラッチ回路61、62、63、64、……と、 NAND回路71、72、73、74、……とで構成されている。

【0083】ラッチ回路61、62、63、64は、外部回路51から入力される垂直同期信号 ϕV と反転垂直同期信号 $\neg\phi V$ とが制御信号入力端部Lと反転制御信号入力端部 $\neg L$ とに1つ置きに逆の位相で入力され、制御信号入力端部Lに「1」が入ると入力信号をスルーで出力し、「0」が入ると従前の入力信号をラッチする。

【0084】ラッチ回路61への入力信号は、入力端部Iに外部回路51から垂直用クロック信号CPVが入力されると、スルー状態とラッチ状態に応じた出力信号が出力端部Oと反転出力端部 $\neg O$ から出力され、NAND回路71と次段のラッチ回路62の入力端部Iに入力される。

【0085】同様に、ラッチ回路62の出力信号は、NAND回路71と72および次段のラッチ回路63の入力端部Iに入力される。

15

【0086】そして、 NAND回路71は、 ラッチ回路61とラッチ回路62のそれぞれの反転出力端部「O」から の反転出力が入力されて、 その否定的論理積を出力する。

【0087】上記と同様に、 ラッチ回路63、 64、 ……と、 NAND回路73、 74、 ……とが連続して接続され てシフトレジスタが構成され、 各NAND回路71～74、 ……からそれぞれ所定のタイミングで出力される否 定的論理積が次段のバッファ回路54に順次出力され る。

【0088】バッファ回路54は、 ここでは、 3個のインバータ回路（例えば、 81、 91、 101）がそれぞれ 従列接続されて構成されたもので、 各NAND回路から 入力される否定的論理積を各インバータ回路を介して順 次論理を反転しながら増幅され、 各ゲートラインG1、 G2、 G3、 G4、 ……にそれぞれ出力される。

【0089】図6は、 4ライン分のゲートラインに供給す るゲートドライバ43の一部の構成を説明したにすぎず、 上記した各回路が垂直方向に配列されたライン数に 応じて配列されている。これにより、 各ゲートラインを 所定の走査方式によってライン走査することにより、 そ れぞれのゲートラインを選択状態、 あるいは非選択状態 とするものである。

【0090】このように、 本実施の形態に係るゲートド ライバ43の特徴的な構成は、 液晶駆動回路であるゲー トドライバ43の最終段に配置されたバッファ回路54の、 一部のインバータ回路101～104を、 図1および図2に示したデュアルゲート構造からなるCMOSインバータ回路としたことにある。これにより、 通常のCMOSインバータ回路よりもチャネル長が短く分割さ れ、 個々のトランジスタにおけるPN接合部分の電界強 度が分散されて、 トランジスタのオフ電流を減少させ ることができる。特に、 本実施の形態では、 駆動能力を十 分高めて、 十分なオン電流を得るために大電流を流すゲ ートドライバ43の最終段にデュアルゲート構造を採用 したため、 回路面積の増大を最小限に止めつつ、 効果的にオフ電流を減少させることができ、 ゲートドライバ43の消費電力を低減することができる。

【0091】そして、 上記したドレインドライバ44と ゲートドライバ43とは、 ゲートドライバ43によって 液晶表示パネル42のゲートラインG1、 G2、 G3、 ……に順次水平走査信号を印加して選択状態とし、 そ の選択状態にある水平走査ライン上の各画素に対応した映 像信号をドレインドライバ44から各データラインD1、 D2、 ……を介して供給し、 所定画素の薄膜トランジ 斯タに信号電荷を伝送して液晶を駆動することによ り、 表示が行われる。

【0092】以上、 本発明者らによってなされた発明を 好適な実施の形態に基づいて具体的に説明したが、 本發 明は上記実施の形態例に限定されるものではなく、 その

16

要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0093】例えば、 上記実施の形態例では、 デュアルゲート構造のトランジスタで説明したが、 トリプルゲートやクワッドゲートのようにもっとゲート数が多くなればオフ電流の低減効果を増大させることができる。このため、 トランジスタは、 複数に分割して複数のゲート電極を共通化した、 いわゆる、 マルチゲート構造であれば良い。

10 【0094】また、 上記実施の形態例では、 ドレインドライバ44の最終段に設けられた各トライステート回路 TS101、 TS102、 ……の出力段部分にマルチゲート構造のCMOSインバータ回路56を配置したが、 これ以外の各トライステート回路内のトランジスタをマルチゲート構造としてもよい。

【0095】また、 上記実施の形態例では、 ゲートドライバ43の最終段に設けられたバッファ回路54の出力段部分のインバータ回路101、 102、 103、 104、 ……をマルチゲート構造のCMOSトランジスタで構成したが、 バッファ回路54内のインバータ回路全てをマルチゲート構造としてもよい。

【0096】また、 上記実施の形態例では、 マルチゲート構造にLDD構造を附加したトランジスタで説明したが、 マルチゲート構造ではあるがLDD構造で無いトランジスタで構成しても良い。

【0097】なお、 上記実施の形態において、 マルチゲート構造やLDD構造を採用したTFTは、 液晶駆動回路のTFTとしたが、もちろんこれに限定されるものではなく、 画素部を構成するTFTにも上記したマルチゲート構造やLDD構造を採用しても良い。

【0098】

【発明の効果】請求項1記載の表示駆動装置によれば、 マルチゲート構造のトランジスタを表示駆動回路の少な くとも最終段に用いている。この表示駆動回路の最終段 では、 駆動能力を高くして十分なオン電流を得るために 大電流となることから、 少なくともこの部分のトランジ 斯タをマルチゲート構造とすることにより、 トランジス タのPN接合部分の電界強度が分散され、 その結果、 オ フ電流を減少させることができるので、 表示駆動装置の 消費電力を低減することができる。

40 【0099】請求項2記載の表示駆動装置によれば、 表 示駆動回路である信号側駆動回路の最終段に位置するト ライステート回路のトランジスタのみをマルチゲート構 造としたので、 効果的にオフ電流を減少させることができるとともに、 マルチゲート構造をトライステート回路 に限定したため、 回路面積の増加を最小限に抑えること ができる。

【0100】請求項3記載の表示駆動装置によれば、 表 示駆動回路である走査側駆動回路の最終段に位置するバ ッファ回路のトランジスタのみをマルチゲート構造とし

17

たので、効果的にオフ電流を減少させることができるとともに、マルチゲート構造をバッファ回路に限定したため、回路面積の増加を最小限に抑えることができる。

【0101】請求項4記載の表示駆動装置によれば、前記トランジスタをnMOSトランジスタとpMOSトランジスタとを対にした相補型のCMOSトランジスタとしたので、低消費電力化できるとともに、適正な出力レベルを得ることができる。

【0102】請求項5記載の表示駆動装置によれば、前記トランジスタの半導体領域に、上記マルチゲート構造に加えて、低濃度イオン注入ドレイン（LDD）構造を採用し、ソース・ドレイン電極が接続された高濃度不純物領域と複数のチャネル領域との間に低濃度不純物領域を有しているので、PN接合部分の電界強度が小さくなつて、オフ電流をさらに減少させることができる。このため、マルチゲート構造のゲート数を増やすと回路面積が増大するが、LDD構造と組み合わせることによって、トランジスタの面積増大を最小限に抑えつつ、オフ電流を減少させることができる。

【0103】請求項6記載の表示駆動装置によれば、分割したトランジスタの各チャネル領域間は、低濃度不純物領域を形成するようにしたので、LDD構造によるオフ電流の減少効果が得られ、消費電力を低減化することができる。

【図面の簡単な説明】

【図1】液晶駆動回路の最終段を構成するデュアルゲート構造のCMOSトランジスタからなるインバータ回路を示す図。

【図2】図1のCMOSインバータ回路の断面構成図。

【図3】本実施の形態に係る駆動回路一体型TFT-LCDの概略構成図。

【図4】図3の液晶駆動回路と液晶表示パネルの具体例の一部を示す図。

【図5】図4のラッチ回路とトライステート回路の具体的構成例を示す図。

18

【図6】図4の走査用シフトレジスタとバッファ回路の具体的構成例を示す図。

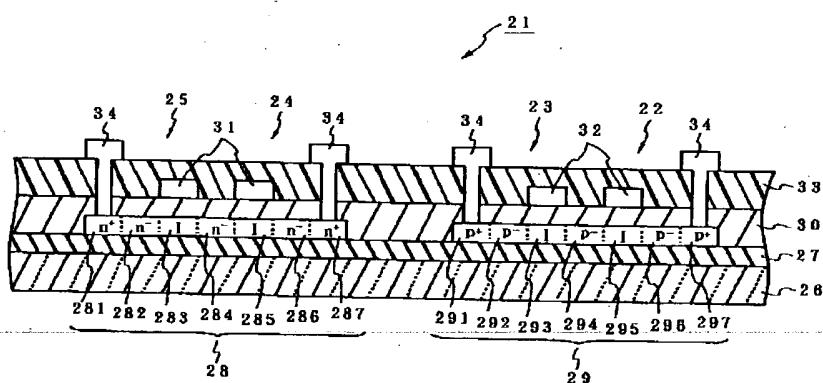
【図7】従来のCMOSインバータ回路の構成を示す図。

【図8】図7のCMOSインバータ回路の断面構成図。

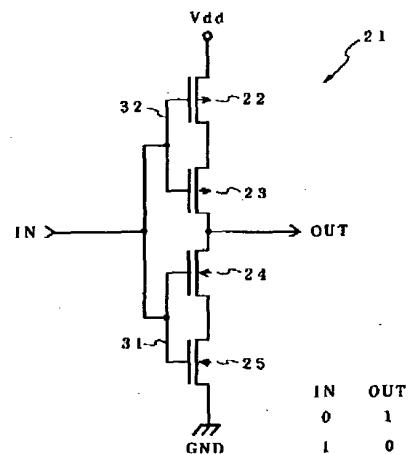
【符号の説明】

21	インバータ回路
22、23	pMOSトランジスタ
24、25	nMOSトランジスタ
10 26	ガラス基板
27	下地絶縁膜
28、29	薄膜半導体層
281、287	n型高濃度不純物注入領域
282、284、286	n型低濃度不純物注入領域
283、285	チャネル領域
291、297	p型高濃度不純物注入領域
292、294、296	p型低濃度不純物注入領域
293、295	チャネル領域となる。
30	ゲート絶縁膜
20 31、32	ゲート電極
33	層間絶縁膜
34	ソース・ドレイン電極
42	液晶表示パネル
43	ゲートドライバ
44	ドレインドライバ
51	外部回路
52	データ用シフトレジスタ
53	走査用シフトレジスタ
54	バッファ回路
LA101、LA102	ラッチ回路
TS101、TS102	トライステート回路
TR7、TR8	pMOSトランジスタ
TR9、TR10	nMOSトランジスタ
81~104	インバータ回路

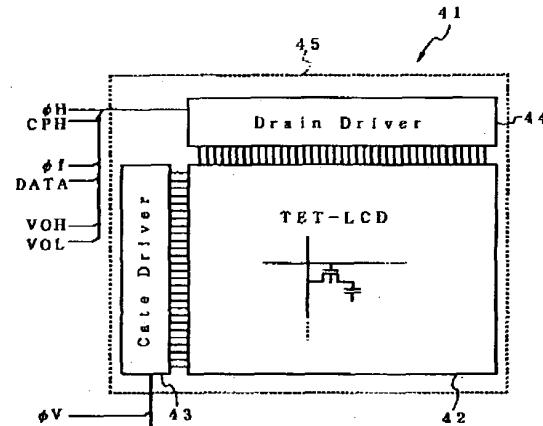
【図2】



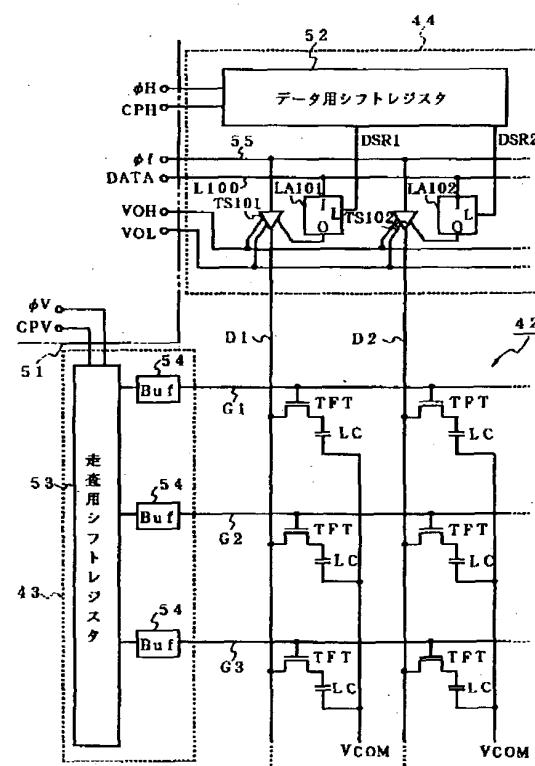
【図1】



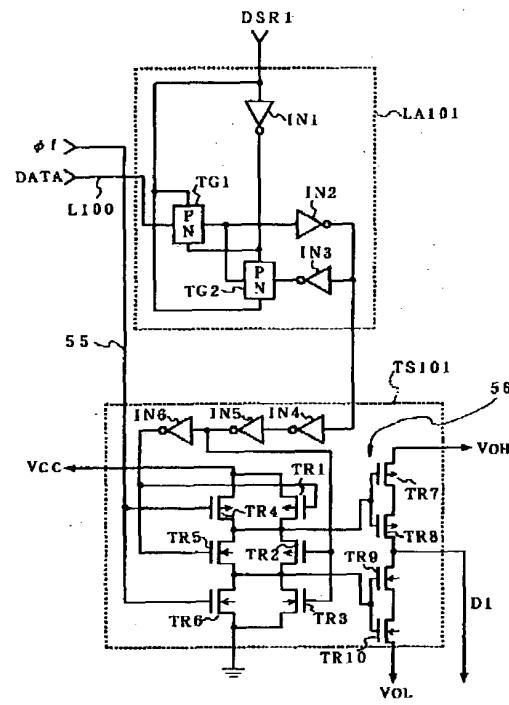
【図3】



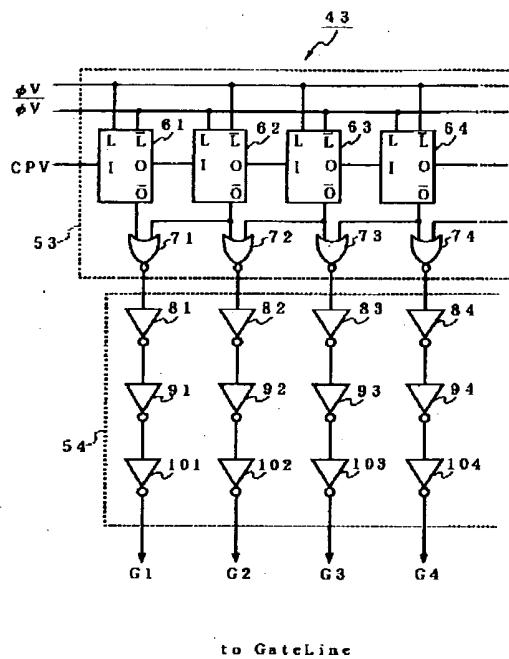
【図4】



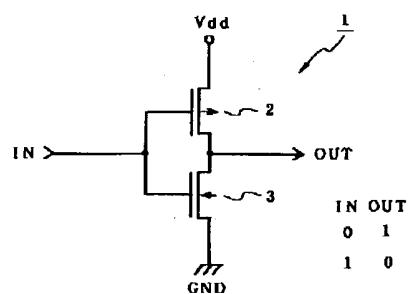
【図5】



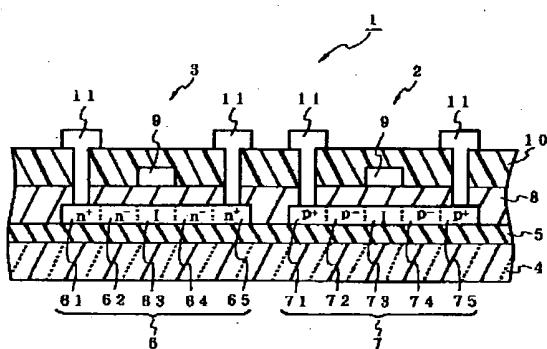
【図6】



【図7】



【図8】



フロントページの続き

(51) Int.Cl.6

識別記号 庁内整理番号

FI
H01.L 29/78

技術表示箇所

614
616A